

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Youn-cheul KIM

Art Unit: TBD

Appl. No.: NEW

Examiner: TBD

Filed: 26 February 2004

Atty. Docket: SEC.1083

For: **Input/Output Data Pipeline Circuit of Semiconductor Memory Device and the Semiconductor Memory Device**

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, **Mail Stop Patent Application**  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, Virginia 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean application:

Appln. No. 2002-0011855                      filed February 26, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.

By: \_\_\_\_\_



Kenneth D. Springer  
Registration No. 39,843

VOLENTINE FRANCOS, P.L.L.C.  
12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870

Date: 26 February 2004



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.02.26
【국제특허분류】	G11C
【발명의 명칭】	반도체 메모리 장치의 입출력 데이터 파이프라인회로 및 상기 반도체 메모리 장치
【발명의 영문명칭】	Input/output data pipeline circuit of semiconductor memory device and the semiconductor memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	김윤철
【성명의 영문표기】	KIM, Youn Cheul
【주민등록번호】	680114-1009822
【우편번호】	130-032
【주소】	서울특별시 동대문구 답십리2동 63-18
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	7	면	7,000	원
---------	---	---	-------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	16	항	621,000	원
---------	----	---	---------	---

【합계】	657,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

**【요약서】****【요약】**

반도체 메모리 장치의 입출력 데이터 파이프라인회로 및 상기 반도체 메모리 장치가 개시된다. 본 발명에 따른 입출력 데이터 파이프라인회로는 메모리 셀에 저장된 데이터를 수신하고 제 1스위칭신호 및 제 2스위칭신호에 응답하여 상기 데이터를 입출력 드라이버로 전송하는 제 1전송부; 상기 반도체 메모리 장치의 소정의 클럭을 수신하고, 상기 클럭의 주파수에 대응되는 소정의 제어신호, 상기 제 1스위칭신호 및 상기 제 2스위칭신호를 출력하는 제어신호 발생부; 및, 상기 제어신호에 응답하여 상기 데이터를 상기 입출력 드라이버로 전송하는 제 2전송부를 구비하고, 상기 제 1전송부와 상기 제 2전송부는 서로 택일적으로 활성화되는 것을 특징으로 한다. 본 발명에 따르면, 반도체 메모리 장치의 클럭으로부터 또는 클럭과 동작모드정보로부터 소정의 스위칭신호들 및 제어신호를 생성하여 입출력 데이터 파이프라인회로의 동작을 제어함으로써, 입출력 데이터 파이프라인회로 및 상기 반도체 메모리 장치의 오동작을 피할 수 있다.

**【대표도】**

도 2

**【명세서】****【발명의 명칭】**

반도체 메모리 장치의 입출력 데이터 파이프라인회로 및 상기 반도체 메모리 장치  
{Input/output data pipeline circuit of semiconductor memory device and the  
semiconductor memory device}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면  
의 간단한 설명이 제공된다.

도 1은 종래기술에 따른 반도체 메모리 장치의 입출력 데이터 파이프라인회로를 나  
타낸 회로도이다.

도 2는 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치의 입출력 데이터 파  
이프라인회로를 나타낸 회로도이다.

도 3은 본 발명의 바람직한 제 1실시예에 따른 입출력 데이터 파이프라인회로를 구  
비하는 반도체 메모리 장치를 나타낸 도면이다.

도 4는 본 발명의 바람직한 제 2실시예에 따른 입출력 데이터 파이프라인회로를 구  
비하는 반도체 메모리 장치를 나타낸 도면이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <6> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 반도체 메모리 장치의 입출력 데이터 파이프라인회로 및 이를 구비하는 반도체 메모리 장치에 관한 것이다.
- <7> 반도체 메모리 장치의 독출동작(read operation)에서, 메모리 셀에 저장된 데이터는 소정의 클럭에 동기되어 일정한 시간 지연(time delay) 후에 데이터 출력 드라이버를 통하여 외부로 출력된다. 이 경우, 다수의 데이터를 한꺼번에 출력할 수 있는 버스트 동작(burst operation)을 수행하는 반도체 메모리 장치는 메모리 셀과 출력 드라이버 사이에 파이프라인회로(pipeline circuit)를 구비한다.
- <8> 도 1은 종래기술에 따른 반도체 메모리 장치의 입출력 데이터 파이프라인회로를 나타낸 회로도이다. 도 1의 파이프라인회로(1000)는 제 1파이프라인회로(100) 및 데이터 출력회로(110)를 구비한다. 제 1파이프라인회로(100)는 제 1스위칭회로(11), 래치회로(12) 및 제 2스위칭회로(13)를 구비한다.
- <9> 제 1스위칭회로(11)는 제 1스위칭신호(WRTPIPE)에 응답하여 메모리 셀로부터 읽은 데이터(RWD)를 스위칭하여 출력한다. 래치회로(12)는 제 1스위칭회로(11)의 출력신호를 래칭하고 제 1스위칭회로(11)의 출력신호를 반전한 신호를 출력한다, 제 2스위칭회로(13)는 래치회로(12)의 출력신호를 수신하고 제 2스위칭신호(LOAD)에 응답하여 래치회로(12)의 출력신호를 출력한다. 데이터(RWD)의 논리상태 및 지연량을 고려하여 제 2스위칭회로(13)의 출력단에는 인버터(14)가 접속된다.

- <10> 데이터 출력회로(110)는 인버터(15) 및 제 3스위칭회로(16)를 구비한다. 소정의 제 N파이프라인회로(도시하지 않음)의 출력신호(OUTN)를 수신하고 소정의 선택신호(SEL)에 응답하여 출력신호(OUTN)를 출력한다. 데이터 출력회로(110)로 입력되는 제 N파이프라인회로(도시하지 않음)의 출력신호(OUTN)는 제 1파이프라인회로(100)와 같은 구조를 가지는 회로의 출력신호로서, 다른 메모리 셀의 데이터를 수신하여 출력된 값이다.
- <11> 선택신호(SEL), 제 1스위칭신호(WRTPIPE) 및 제 2스위칭회로(Load)의 논리상태에 따라서 출력 드라이버(도시하지 않음)로 출력되는 데이터가 선택된다. 예컨대, 제 1파이프라인회로(100)의 출력신호(OUT)가 출력 드라이버로 출력되는 경우 선택신호(SEL)는 비활성화되고, 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(Load)가 활성화된다.
- <12> 또한 제 2파이프라인회로(도시하지 않음)의 출력신호(OUTN)가 출력 드라이버로 출력되는 경우 선택신호(SEL)가 활성화되고 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(Load)가 활성화된다.
- <13> 제 1파이프라인회로(100)에 의하여 메모리 셀의 데이터(RWD)는 두 단계의 스위칭을 거친 후 출력된다. 즉, 전술한 바와 같이, 제 1스위칭신호(WRTPIPE)에 응답하여 제 1스위칭회로(11)에서 스위칭되고, 래치과정을 거친 후, 제 2스위칭신호(Load)에 응답하여 제 2스위칭신호(13)에서 스위칭된다.
- <14> 이 때, 메모리 셀의 데이터(RWD)가 왜곡없이 출력되기 위해서는 제 1스위칭신호(WRTPIPE)가 활성화된 후에 제 2스위칭신호(Load)가 활성화되어야 한다. 즉, 도 1에서, 제 1스위칭신호(WRTPIPE)가 논리 하이로 활성화되면 메모리 셀의 데이터(RWD)가 래치회로(12)로 전달되고, 래치회로(12)는 데이터(RWD)를 래치한다. 래치회로(12)에서 데이터



(RWD)를 래치한 후에 제 2스위칭신호(Load)가 논리 하이로 활성화되면, 메모리 셀의 데이터(RWD)는 왜곡없이 출력된다.

<15> 그러나, 만일 반도체 메모리 장치에 사용되는 클럭의 주파수가 커지는 경우 또는 메모리 셀 코어에서 데이터가 늦게 입출력 파이프라인회로(100)로 전달되는 경우, 제 1스위칭신호(WRTPIPE)보다 제 2스위칭신호(Load)가 먼저 활성화될 수 있으며, 그렇게 되면 데이터(RWD)의 폭(window)이 작게 나오거나 잘못된 데이터가 제 1파이프라인회로(100)로 출력될 수 있다.

<16> 따라서, 제 1스위칭신호(WRTPIPE)보다 제 2스위칭신호(Load)가 먼저 활성화될 수 있는 경우를 감지하고 그 결과에 응답하여 데이터를 왜곡없이 출력하도록 할 수 있는 파이프라인회로가 필요하다.

#### 【발명이 이루고자 하는 기술적 과제】

<17> 본 발명이 이루고자 하는 기술적 과제는, 메모리 장치의 클럭신호로부터 소정의 제어신호를 생성하고, 상기 제어신호의 논리상태에 의하여 제어되는 입출력 데이터 파이프라인회로를 제공하는 데 있다.

<18> 본 발명이 이루고자 하는 다른 기술적 과제는, 상기 파이프라인회로를 구비하는 반도체 메모리 장치를 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<19> 상기 기술적 과제를 달성하기 위한 본 발명의 일면은 반도체 메모리 장치의 입출력 데이터 파이프라인회로에 관한 것이다. 본 발명에 따른 입출력 데이터 파이프라인회로는 메모리 셀에 저장된 데이터를 수신하고 제 1스위칭신호 및 제 2스위칭신호에 응답하

여 상기 데이터를 입출력 드라이버로 전송하는 제 1전송부; 상기 반도체 메모리 장치의 소정의 클럭을 수신하고, 상기 클럭의 주파수에 대응되는 소정의 제어신호, 상기 제 1스위칭신호 및 상기 제 2스위칭신호를 출력하는 제어신호 발생부; 및, 상기 제어신호에 응답하여 상기 데이터를 상기 입출력 드라이버로 전송하는 제 2전송부를 구비하고, 상기 제 1전송부와 상기 제 2전송부는 서로 택일적으로 활성화되는 것을 특징으로 한다.

<20> 바람직하게는, 상기 제 1전송부는 상기 제 1스위칭신호의 활성화에 응답하여 상기 데이터를 출력하는 제 1스위칭회로; 상기 제 1스위칭회로의 출력신호를 래치하여 출력하는 래치회로; 및, 상기 제 2스위칭신호의 활성화에 응답하여 상기 래치회로에 의하여 래치된 데이터를 상기 입출력 드라이버로 출력하는 제 2스위칭회로를 구비하는 것을 특징으로 한다.

<21> 또한 바람직하게는, 상기 제 2전송부는 상기 제어신호의 활성화에 응답하여 상기 데이터를 상기 입출력 드라이버로 출력하는 제 3스위칭회로를 구비하는 것을 특징으로 한다.

<22> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면은 반도체 메모리 장치에 관한 것이다. 본 발명에 따른 반도체 메모리 장치는 다수의 메모리 셀들을 구비하는 메모리 셀 코어; 제 1클럭에 동기되어 외부로부터 제 1데이터를 입력받거나, 제 2클럭에 동기되어 상기 메모리 셀에 저장된 제 2데이터를 외부로 출력하는 입출력 드라이버; 상기 메모리 셀 및 상기 입출력 드라이버와 접속되고, 상기 메모리 셀에 저장된 상기 제 2데이터를 상기 입출력 드라이버로 전달하거나, 외부로부터 입력받은 상기 제 1데이터를 상기 메모리 셀로 전달하는 입출력 데이터 파이프

라인회로; 및, 상기 제 1클럭 및 상기 제 2클럭을 수신하고 상기 제 1클럭 및 상기 제 2클럭에 대응되는 소정의 제어신호를 출력하는 제어신호 생성부를 구비하며, 상기 입출력 데이터 파이프라인회로는 제 1스위칭신호 및 제 2스위칭신호에 응답하여 상기 메모리 셀 코어와 상기 입출력 드라이버를 스위칭하는 제 1전송부; 및, 상기 제어신호에 응답하여 상기 메모리 셀 코어와 상기 입출력 드라이버를 스위칭하는 제 2전송부를 구비하고, 상기 제 1전송부 및 상기 제 2전송부는 서로 택일적으로 활성화되는 것을 특징으로 한다.

<23> 바람직하게는, 상기 제어신호 생성부는 상기 제 1클럭과 상기 제 2클럭의 위상을 비교하고 그 비교결과에 따라서 소정의 논리상태를 가지는 상기 제어신호를 출력하는 것을 특징으로 한다.

<24> 상기 기술적 과제를 달성하기 위한 본 발명의 또다른 일면은 반도체 메모리 장치에 관한 것이다. 본 발명에 따른 반도체 메모리 장치는 다수의 메모리 셀들을 구비하는 메모리 셀 코어; 입출력 드라이버; 제 1클럭, 제 2클럭 및 상기 반도체 메모리 장치의 동작모드정보를 수신하고 상기 제 1클럭, 상기 제 2클럭 및 상기 동작모드정보에 대응되는 제 1스위칭신호, 제 2스위칭신호 및 소정의 제어신호를 출력하는 제어신호 생성부; 및, 상기 메모리 셀 및 상기 입출력 드라이버와 접속되고, 상기 제 1스위칭신호, 상기 제 2스위칭신호 및 상기 제어신호에 응답하여 상기 메모리 셀에 저장된 데이터를 상기 입출력 드라이버로 전달하는 입출력 데이터 파이프라인회로를 구비하고, 상기 입출력 데이터 파이프라인회로는 상기 제 1스위칭신호 및 상기 제 2스위칭신호에 응답하여 활성화되는 제 1전송부; 및, 상기 제어신호에 응답하여 활성화되는 제 2전송부를 구비하고, 상기 제 1전송부 및 상기 제 2전송부는 택일적으로 활성화되는 것을 특징으로 한다.

- <25> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <26> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <27> 도 2는 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치의 입출력 데이터 파이프라인회로를 나타낸 회로도이다. 도 2에 도시된 파이프라인회로(2000)는 제 1전송부(210), 제 2전송부(220) 및 제어신호 발생부(230)를 구비한다.
- <28> 제 1전송부(210)는 제 1스위칭회로(211), 래치회로(212), 제 2스위칭회로(213) 및 다수의 인버터들(214, 215, 216)을 구비한다. 제 1스위칭회로(211)는 제 1스위칭신호(WRTPIPE)에 응답하여 스위칭되며, 제 2스위칭회로(213)는 제 2스위칭신호(LOAD)에 응답하여 스위칭된다. 본 실시예에서, 제 1전송부(211) 및 제 2전송부(213)는 각각 트랜스미션 게이트로 구현되었다.
- <29> 인버터(214)는 메모리 셀(도시하지 않음)의 데이터(RWD)를 수신하고 데이터(RWD)를 반전하여 제 1스위칭회로(211)로 출력한다. 제 1전송부(210)는 입력되는 데이터(RWD)의 논리상태를 출력신호(OUT)의 논리상태와 일치시키기 위하여 인버터(214)를 구비한다.
- <30> 인버터(215)는 제 1스위칭신호(WRTPIPE)를 반전함으로써 반전된 제 1스위칭신호(WRTPIPEB)를 생성한다. 인버터(216)는 제 2스위칭신호(LOAD)를 반전함으로써 반전된 제 2스위칭신호(LOADB)를 생성한다. 이러한 반전된 제 1스위칭신호(WRTPIPEB) 및 반전된 제

2스위칭신호(LOADB)는 각각 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(LOAD)와 쌍을 이루어 각각 제 1스위칭회로(211) 및 제 2스위칭회로(213)를 스위칭한다.

- <31> 제 2전송부(220)는 제 3스위칭회로(221)를 구비하며, 제 3스위칭회로(221)는 제어 신호(CTRL)에 응답하여 스위칭된다.
- <32> 제어신호 발생부(230)는 클럭(CLK)을 수신하고, 반도체 메모리 장치의 클럭(CLK)의 주파수에 대응되는 소정의 제어신호(CTRL), 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(LOAD)를 출력한다. 즉, 제어신호 발생부(230)는 반도체 메모리 장치의 클럭(CLK)의 주파수정보에 따라 제어신호(CTRL), 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(LOAD)의 논리 상태를 제어한다.
- <33> 도 2를 참조하여 본 발명에 따른 입출력 데이터 파이프라인회로(2000)의 동작을 상세하게 설명한다.
- <34> 입출력 데이터 파이프라인회로(2000)는 메모리 셀(도시하지 않음)로부터 데이터(RWD)를 수신하고, 데이터(RWD)를 출력 드라이버(도시하지 않음)로 출력한다(OUT). 이 과정에서, 제어신호 발생부(230)는 클럭(CLK)에 응답하여 제 1스위칭신호(WRTPIPE), 제 2스위칭신호(LOAD) 및 제어신호(CTRL)를 출력한다.
- <35> 먼저, 클럭(CLK)의 주파수가 높지 않은 노멀 동작(Normal operation)에서는 제 1전송부(210)는 메모리 셀의 데이터(RWD)를 수신하고 그 출력신호(OUT)를 출력한다. 이 때, 제 1전송부(210)는 활성화되고, 제 2전송부(220)는 활성화되지 않는다. 제 1전송부(210)는 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(LOAD)의 활성화에 응답하여 활성화되고, 제 2전송부(220)는 제어신호(CTRL)의 활성화에 응답하여 활성화된다.

- <36> 즉, 노멀 동작에 있어서, 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(Load)는 소정의 논리상태(예컨대, 논리 하이)로 활성화되고, 제어신호(CTRL)는 소정의 논리상태(예컨대, 논리 로우)로 비활성화된다.
- <37> 제어신호 발생회로(230)가 논리 하이의 논리상태를 가지는 제 1스위칭신호(WRTPIPE)를 출력하면, 반전된 제 1스위칭신호(WRTPIPEB)는 논리 로우의 논리상태를 가지고 따라서 메모리 셀의 데이터(RWD)는 제 1스위칭회로(211)를 통하여 래치회로(212)로 전송된다.
- <38> 또한 제어신호 발생회로(230)가 논리 하이의 논리상태를 가지는 제 2스위칭신호(Load)를 출력하면, 반전된 제 2스위칭신호(LoadB)는 논리 로우의 논리상태를 가지고 따라서 래치회로(212)의 출력신호는 제 2스위칭회로(213)를 통하여 제 1전송부(210)의 출력신호가 된다.
- <39> 이 때, 제어신호 발생회로(230)는 논리 로우의 논리상태를 가지는 제어신호(CTRL)를 출력한다. 또한 제 1스위칭신호(WRTPIPE)는 제 2스위칭신호(Load)보다 먼저 활성화되는 것이 바람직하다. 제 1스위칭신호(WRTPIPE)가 활성화되어 데이터(RWD)가 래치회로(212)로 전송된 후에, 제 2스위칭신호(Load)가 활성화되어 래치회로(212)의 출력 데이터가 제 1전송부(210)의 출력신호(OUT)가 되어야 정상적인 동작을 할 수 있기 때문이다.
- <40> 다음으로, 만일 클럭(CLK)의 주파수가 높은 주파수인 경우, 제 2전송부(220)는 메모리 셀의 데이터(RWD)를 수신하고 그 출력신호(OUT)를 출력한다. 이 때, 제 1전송부(210)는 활성화되지 않고, 제 2전송부(220)는 활성화된다. 즉, 데이터(RWD)는 제 2전송부(220)를 통하여 파이프라인회로(2000)의 외부로 출력된다.

- <41> 제어신호 발생회로(230)가 논리 하이의 논리상태를 가지는 제어신호(CTRL)를 출력하면, 인버터(222)는 제어신호(CTRL)를 반전하여 출력하며, 반전된 제어신호(CTRLB)는 논리 로우의 논리상태를 가지고, 따라서 메모리 셀의 데이터(RWD)는 제 3스위칭회로(221)를 통하여 출력된다.
- <42> 제어신호(CTRL)가 활성화될 때 제 2스위칭신호(Load)는 비활성화되는 것이 바람직하다. 또한, 제 1스위칭신호(WRTPIPE)도 동시에 비활성화되는 것이 더욱 바람직하다. 만일 제 1스위칭신호(WRTPIPE)와 제 2스위칭신호(Load)가 활성화되어 제 1전송부(210)를 통하여 메모리 셀의 데이터(RWD)가 전송되면, 제 2전송부(220)를 통하여 전송되는 메모리 셀(RWD)의 데이터와 충돌이 일어나서 오동작을 할 가능성이 있기 때문이다.
- <43> 즉, 본 발명에 따르면, 클럭(CLK)의 주파수정보에 응답하여 클럭(CLK)의 주파수가 고주파수인 경우에는 메모리 셀의 데이터(RWD)가 제 1전송부(210)를 통하여 전송되고, 클럭(CLK)의 주파수가 저주파수인 경우에는 메모리 셀의 데이터가 제 2전송부(220)를 통하여 전송되도록 함으로써, 제 1스위칭신호(WRTPIPE)와 제 2스위칭신호(Load)의 타이밍에 관계없이 정상적인 동작을 할 수 있다.
- <44> 도 3은 본 발명의 바람직한 제 1실시예에 따른 입출력 데이터 파이프라인회로를 구비하는 반도체 메모리 장치를 나타낸 도면이다. 도 3에 도시된 반도체 메모리 장치(3000)는 메모리 셀 코어(310), 입출력 드라이버(320), 입출력 데이터 파이프라인회로(330) 및 제어신호 발생부(340)를 구비한다.
- <45> 메모리 셀 코어(310)는 다수의 메모리 셀들(도시하지 않음)을 구비한다. 입출력 드라이버(320)는 제 1클럭(CFM)에 동기되어 외부로부터 데이터(DATA)를 입력받거나 제 2클럭(CTM)에 동기되어 데이터(DATA)를 외부로 출력한다.

- <46>       입출력 데이터 파이프라인회로(330)는 메모리 셀 코어(310)와 입출력 드라이버(320) 사이에 접속되어, 메모리 셀 코어(310)로부터 입출력 드라이버(320)로 데이터(DATA)를 전달하거나 입출력 드라이버(320)로부터 메모리 셀 코어(310)로 데이터(DATA)를 전달한다.
- <47>       입출력 데이터 파이프라인회로(330)의 구조는 도 2에 도시된 바와 마찬가지로 제 1전송부(210) 및 제 2전송부(220)를 구비하고, 제 1전송부(210)는 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(LOAD)에 응답하여 활성화되고, 제 2전송부(220)는 제어신호(CTRL)에 응답하여 활성화된다. 또한 제 1전송부(210) 및 제 2전송부(220)는 택일적으로 활성화된다.
- <48>       제어신호 발생부(340)는 제 1클럭(CFM) 및 제 2클럭(CTM)을 수신하고 제 1클럭(CFM) 및 제 2클럭(CTM)에 대응되는 제 1스위칭신호(WRTPIPE), 제 2스위칭신호(LOAD) 및 제어신호(CTRL)를 생성한다. 제 1스위칭신호(WRTPIPE), 제 2스위칭신호(LOAD) 및 제어신호(CTRL)의 논리상태에 응답하여 파이프라인회로(330)의 동작이 제어된다.
- <49>       여기에서 제 1클럭(CFM)은 반도체 메모리 장치(3000)가 기입동작(write operation)할 때, 데이터(DATA)를 입력할 때 사용되는 동기클럭이고, 제 2클럭(CTM)은 반도체 메모리 장치(3000)가 독출동작(read operation)할 때, 메모리 셀 코어(310)의 데이터(DATA)를 출력할 때 사용되는 동기클럭이다. 제 1클럭(CFM) 및 제 2클럭(CTM)의 주파수는 같으나, 위상은 서로 다를 수 있다.
- <50>       기존의 입출력 데이터 파이프라인회로의 경우, 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(LOAD)에 응답하여 데이터를 메모리 셀 코어로부터 입출력 드라이버로 혹은 그



반대로 전달한다. 그러나, 전술한 바와 같이, 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(Load)의 활성화시점에 따라 오동작의 가능성이 있다.

<51> 따라서 본 발명의 반도체 메모리 장치(3000)는 소정의 제어신호(CTRL)에 의하여 입출력 데이터 파이프라인회로(330)를 제어하여 입출력 데이터 파이프라인회로(330)의 오동작을 방지한다.

<52> 이하, 도 2 및 도 3을 참조하여 본 발명에 따른 반도체 메모리 장치(3000)의 동작을 설명하면 다음과 같다.

<53> 메모리 셀 코어(310)에서 입출력 드라이버(320)로 혹은 그 반대로 입출력 데이터 파이프라인회로(330)를 통하여 데이터(DATA)가 전달된다. 그 과정에서 입출력 데이터 파이프라인회로(330)의 동작은 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(Load)에 의하여 제어된다. 이때, 제 1스위칭신호(WRTPIPE)는 제 2스위칭신호(Load)보다 충분히 먼저 활성화되어야 한다.

<54> 그러나, 만일 데이터의 독출동작시에 제 1스위칭신호(WRTPIPE)가 제 2스위칭신호(Load)보다 나중에 활성화되면, 데이터의 전송에 왜곡이 일어나게 되어 입출력 데이터 파이프라인회로(330)가 잘못 동작하게 된다.

<55> 제 1스위칭신호(WRTPIPE)와 제 2스위칭신호(Load)의 활성화시점은 반도체 메모리 장치(3000)의 제 1클럭(CFM) 및 제 2클럭(CTM)의 위상차이에 따라서 달라진다. 만일, 제 1클럭(CFM)과 제 2클럭(CTM)의 위상차이가 작은 경우에는 제 1스위칭신호(WRTPIPE)가 제 2스위칭신호(Load)보다 먼저 활성화되며, 입출력 데이터 파이프라인회로(330)의 동작에는 문제가 없다.

- <56> 그러나, 만일 제 1클럭(CFM)과 제 2클럭(CTM)의 위상차이가 큰 경우에는 그 위상차이에 따라서 제 1스위칭신호(WRTPIPE)의 활성화시점과 제 2스위칭신호(Load)의 활성화시점이 근접해지고, 경우에 따라서는 제 1스위칭신호(WRTPIPE)가 제 2스위칭신호(Load)보다 나중에 활성화될 수 있다.
- <57> 따라서, 제어신호 발생부(340)는 제 1클럭(CFM)과 제 2클럭(CTM)의 위상차이를 감지하여 그 감지결과에 따라서 제 1스위칭신호(WRTPIPE), 제 2스위칭신호(Load) 및 제어신호(CTRL)의 논리상태를 제어한다. 도 2에 도시된 바와 같이, 입출력 데이터 파이프라인회로(330)는 제 1전송부(210) 및 제 2전송부(220)를 구비하고, 제 1전송부(210)는 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(Load)에 응답하여 활성화되고, 제 2전송부(220)는 제어신호(CTRL)에 응답하여 활성화된다.
- <58> 만일, 제 1클럭(CFM)과 제 2클럭(CTM)의 위상차이가 작은 경우에는 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(Load)를 제 1논리상태(예컨대, 논리 하이)로 활성화되고 제어신호(CTRL)는 제 2논리상태(예컨대, 논리 로우)로 비활성화된다.
- <59> 이 경우 메모리 셀의 데이터(RWD)는 제 1전송부(210)를 통하여 출력되고(OUT), 입출력 드라이버(320)는 제 1전송부(210)의 출력(OUT)을 수신하고 제 2클럭(CTM)에 동기되어 데이터(DATA)를 출력한다. 이 때 제 1스위칭신호(WRTPIPE)가 제 2스위칭신호(Load)보다 먼저 활성화되는 것이 바람직하다.
- <60> 그러나 제 1클럭(CFM)과 제 2클럭(CTM)의 위상차이가 큰 경우에는 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(Load)는 제 2논리상태로 비활성화되고, 제어신호(CTRL)는 제 1논리상태로 활성화된다.

- <61> 이 때, 이 경우 메모리 셀의 데이터(RWD)는 제 2전송부(220)를 통하여 출력되고 (OUT), 입출력 드라이버(320)는 제 2전송부(220)의 출력(OUT)을 수신하고 제 2클럭(CTM)에 동기되어 데이터(DATA)를 출력한다.
- <62> 즉, 본 발명에 따르면 제 1클럭(CFM) 및 제 2클럭(CTM)의 위상차에 응답하여 제 1전송부(210) 또는 제 2전송부(220)를 선택적으로 활성화함으로써, 입출력 데이터 파이프라인회로(330)가 정상적으로 작동하게 된다.
- <63> 도 4는 본 발명의 바람직한 제 2실시예에 따른 입출력 데이터 파이프라인회로를 구비하는 반도체 메모리 장치를 나타낸 도면이다. 도 4에 도시한 반도체 메모리 장치(4000)는 메모리 셀 코어(310), 입출력 드라이버(320), 입출력 데이터 파이프라인회로(330) 및 제어신호 발생부(440)를 구비한다.
- <64> 메모리 셀 코어(310), 입출력 드라이버(320), 입출력 데이터 파이프라인회로(330)는 도 3에서와 같은 구조를 가지기 때문에 이에 대한 자세한 설명은 생략한다.
- <65> 도 4의 제어신호 발생부(440)는 제 1클럭(CFM), 제 2클럭(CTM) 및 동작 모드 정보를 수신하고 제 1스위칭신호(WRTPIPE), 제 2스위칭신호(LOAD) 및 제어신호(CTRL)를 출력한다. 제어신호 발생부(440)는 도 3의 제어신호 발생부(340)와는 달리, 동작 모드 정보를 더 수신한다.
- <66> 여기에서, 동작 모드 정보는 반도체 메모리 장치(4000)의 동작 모드에 관한 정보를 의미한다. 반도체 메모리 장치(4000)는 다양한 동작 모드를 가지며, 각각의 모드는 사용되는 클럭의 주파수나 레이턴시(latency) 등 다른 특성을 가진다.

- <67> 이 때, 반도체 메모리 장치(4000)가 저주파로 동작하는 다양한 모드 중 하나로 동작하면, 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(LOAD)가 순차적으로 활성화된다.
- <68> 따라서, 제어신호 발생부(440)가 저주파로 동작하는 모드 정보를 수신하면, 제어신호 발생부(440)는 제 1클럭(CFM)과 제 2클럭(CTM)의 위상차에 관계없이 제 1스위칭신호(WRTPIPE) 및 제 2스위칭신호(LOAD)를 활성화시키고, 제어신호(CTRL)를 비활성화시킨다. 즉, 저주파로 동작하는 모드 정보를 수신하면 입출력 데이터 파이프라인회로(330)의 제 1전송부(210)는 활성화되고 제 2전송부(220)는 비활성화된다.
- <69> 이러한 저주파로 동작하는 모드는 드라우지 모드(drowsy mode), DA 모드(DA mode) 등이 있다. 드라우지 모드는 노멀 동작이 가능하나 메모리 장치 내의 지연동기루프(Delayed Locked Loop; DLL)가 동작하지 않기 때문에 고주파 동작을 하지 않은 모드를 의미하고, DA 모드는 반도체 메모리 장치의 테스트 모드를 의미한다.
- <70> 이상에서와 같이 도면과 명세서에 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한 정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

- <71> 상술한 바와 같이 본 발명에 따르는 입출력 데이터 파이프라인회로 및 이를 구비하는 반도체 메모리 장치는 상기 반도체 메모리 장치의 클럭으로부터 또는 클럭과 동작모

드정보로부터 소정의 스위칭신호들 및 제어신호를 생성하여 입출력 데이터 파이프라인회로의 동작을 제어함으로써, 입출력 데이터 파이프라인회로 및 상기 반도체 메모리 장치의 오동작을 피할 수 있는 효과가 있다.

## 【특허청구범위】

## 【청구항 1】

반도체 메모리 장치의 입출력 데이터 파이프라인회로에 있어서,  
 메모리 셀에 저장된 데이터를 수신하고 제 1스위칭신호 및 제 2스위칭신호에 응답하여 상기 데이터를 입출력 드라이버로 전송하는 제 1전송부;  
 상기 반도체 메모리 장치의 소정의 클럭을 수신하고, 상기 클럭의 주파수에 대응되는 소정의 제어신호, 상기 제 1스위칭신호 및 상기 제 2스위칭신호를 출력하는 제어신호 발생부; 및,  
 상기 제어신호에 응답하여 상기 데이터를 상기 입출력 드라이버로 전송하는 제 2전송부를 구비하고,  
 상기 제 1전송부와 상기 제 2전송부는 서로 택일적으로 활성화되는 것을 특징으로 하는 반도체 메모리 장치의 입출력 데이터 파이프라인회로.

## 【청구항 2】

제 1항에 있어서, 상기 제 1전송부는  
 상기 제 1스위칭신호의 활성화에 응답하여 상기 데이터를 출력하는 제 1스위칭회로;  
 상기 제 1스위칭회로의 출력신호를 래치하여 출력하는 래치회로; 및,  
 상기 제 2스위칭신호의 활성화에 응답하여 상기 래치회로에 의하여 래치된 데이터를 상기 입출력 드라이버로 출력하는 제 2스위칭회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 입출력 데이터 파이프라인회로.

**【청구항 3】**

제 1항에 있어서, 상기 제 2전송부는

상기 제어신호의 활성화에 응답하여 상기 데이터를 상기 입출력 드라이버로 출력하는 제 3스위칭회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 입출력 데이터 파이프라인회로.

**【청구항 4】**

제 1항에 있어서,

상기 제 1전송부가 활성화되는 경우 상기 제 1스위칭신호 및 상기 제 2스위칭신호가 소정의 논리상태로 활성화되고, 상기 제어신호는 비활성화되는 것을 특징으로 하는 반도체 메모리 장치의 입출력 데이터 파이프라인회로.

**【청구항 5】**

제 4항에 있어서,

상기 제 1스위칭신호는 상기 제 2스위칭신호보다 먼저 활성화되는 것을 특징으로 하는 반도체 메모리 장치의 입출력 데이터 파이프라인회로.

**【청구항 6】**

제 1항에 있어서,

상기 제 2전송부가 활성화되는 경우 상기 제어신호가 소정의 논리상태로 활성화되고, 상기 제 2스위칭신호는 비활성화되는 것을 특징으로 하는 반도체 메모리 장치의 입출력 데이터 파이프라인회로.

## 【청구항 7】

반도체 메모리 장치에 있어서,

다수의 메모리 셀들을 구비하는 메모리 셀 코어;

제 1클럭에 동기되어 외부로부터 제 1데이터를 입력받거나, 제 2클럭에 동기되어 상기 메모리 셀에 저장된 제 2데이터를 외부로 출력하는 입출력 드라이버;

상기 메모리 셀 및 상기 입출력 드라이버와 접속되고, 상기 메모리 셀에 저장된 상기 제 2데이터를 상기 입출력 드라이버로 전달하거나, 외부로부터 입력받은 상기 제 1 데이터를 상기 메모리 셀로 전달하는 입출력 데이터 파이프라인회로; 및,

상기 제 1클럭 및 상기 제 2클럭을 수신하고 상기 제 1클럭 및 상기 제 2클럭에 대응되는 소정의 제어신호를 출력하는 제어신호 생성부를 구비하며,

상기 입출력 데이터 파이프라인회로는 제 1스위칭신호 및 제 2스위칭신호에 응답하여 상기 메모리 셀 코어와 상기 입출력 드라이버를 스위칭하는 제 1전송부; 및, 상기 제어신호에 응답하여 상기 메모리 셀 코어와 상기 입출력 드라이버를 스위칭하는 제 2전송부를 구비하고,

상기 제 1전송부 및 상기 제 2전송부는 서로 택일적으로 활성화되는 것을 특징으로 하는 반도체 메모리 장치.

## 【청구항 8】

제 7항에 있어서, 상기 제어신호 생성부는

상기 제 1클럭과 상기 제 2클럭의 위상을 비교하고 그 비교결과에 따라서 소정의 논리상태를 가지는 상기 제어신호를 출력하는 것을 특징으로 하는 반도체 메모리 장치.



**【청구항 9】**

제 7항에 있어서, 상기 제 1전송부는

상기 제 1스위칭신호에 응답하여 상기 제 1데이터 또는 상기 제 2데이터를 스위칭하는 제 1스위칭회로;

상기 제 1스위칭회로의 출력신호를 래치하여 출력하는 래치회로; 및,

상기 제 2스위칭신호에 응답하여 상기 래치회로의 출력신호를 스위칭하는 제 2스위칭회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 10】**

제 9항에 있어서,

상기 제 1전송부가 활성화되는 경우 상기 제 1스위칭신호 및 상기 제 2스위칭신호가 소정의 논리상태로 활성화되고, 상기 제어신호는 비활성화되는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 11】**

제 10항에 있어서,

상기 제 1스위칭신호는 상기 제 2스위칭신호보다 먼저 활성화되는 것을 특징으로 하는 반도체 메모리 장치

**【청구항 12】**

제 9항에 있어서,

상기 제 2전송부가 활성화되는 경우 상기 제어신호가 소정의 논리상태로 활성화되고, 상기 제 2스위칭신호는 비활성화되는 것을 특징으로 하는 반도체 메모리 장치

**【청구항 13】**

제 7항에 있어서,

상기 제어신호 생성부는 상기 반도체 메모리 장치의 다수의 동작모드들에 관한 정보를 더 수신하고,

상기 제어신호는 상기 제 1클럭, 상기 제 2클럭 및 상기 동작모드들 정보에 대응되는 신호인 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 14】**

제 13항에 있어서,

상기 제어신호 생성부에 입력된 동작모드가 저주파에서 동작하는 다수의 모드인 경우, 상기 제 1클럭 및 상기 제 2클럭에 관계없이 상기 제 1스위칭신호 및 상기 제 2스위칭신호가 소정의 논리상태로 활성화되고 상기 제어신호는 비활성화되며, 상기 제 1스위칭신호는 상기 제 2스위칭신호보다 먼저 활성화되는 것을 특징으로 하는 반도체 메모리 장치

**【청구항 15】**

반도체 메모리 장치에 있어서,

다수의 메모리 셀들을 구비하는 메모리 셀 코어;

입출력 드라이버;

제 1클럭, 제 2클럭 및 상기 반도체 메모리 장치의 동작모드정보를 수신하고 상기 제 1클럭, 상기 제 2클럭 및 상기 동작모드정보에 대응되는 제 1스위칭신호, 제 2스위칭신호 및 소정의 제어신호를 출력하는 제어신호 생성부; 및,

상기 메모리 셀 및 상기 입출력 드라이버와 접속되고, 상기 제 1스위칭신호, 상기 제 2스위칭신호 및 상기 제어신호에 응답하여 상기 메모리 셀에 저장된 데이터를 상기 입출력 드라이버로 전달하는 입출력 데이터 파이프라인회로를 구비하고,

상기 입출력 데이터 파이프라인회로는 상기 제 1스위칭신호 및 상기 제 2스위칭신호에 응답하여 활성화되는 제 1전송부; 및, 상기 제어신호에 응답하여 활성화되는 제 2전송부를 구비하고,

상기 제 1전송부 및 상기 제 2전송부는 택일적으로 활성화되는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 16】**

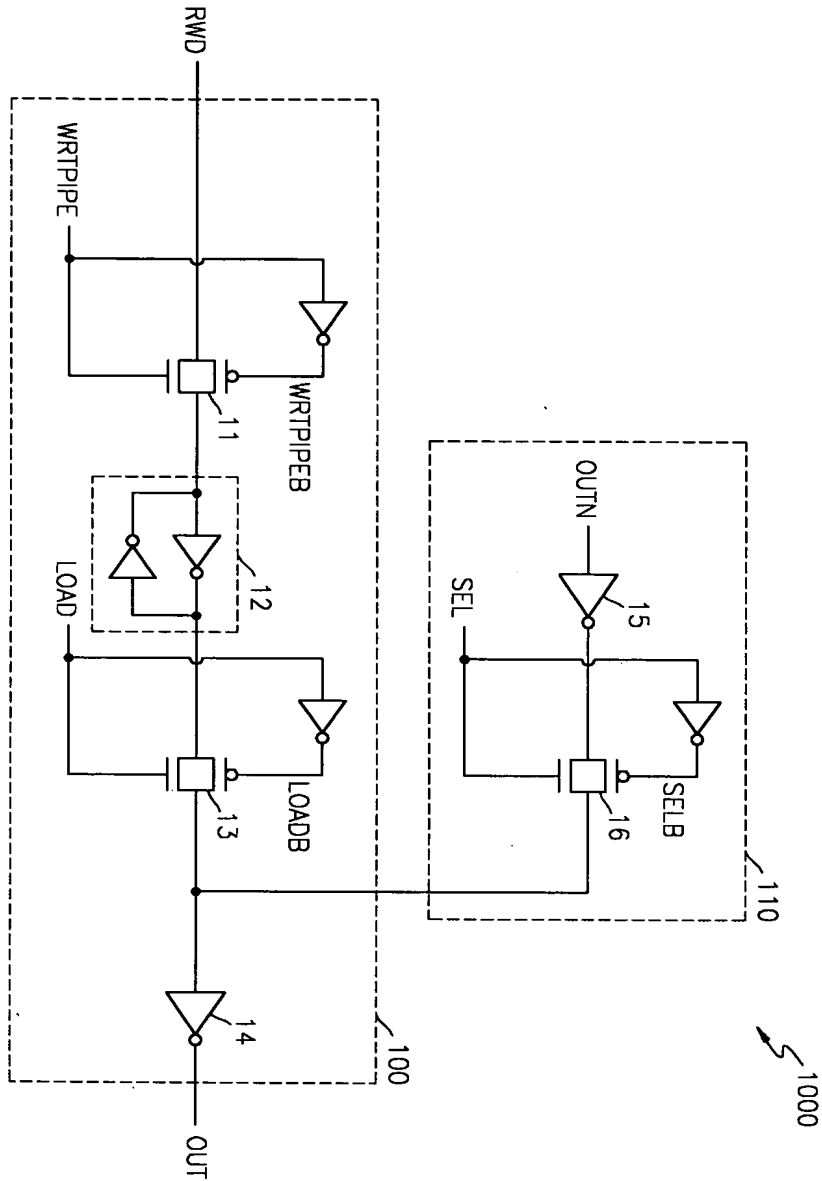
제 15항에 있어서,

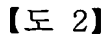
상기 제어신호 생성부는 상기 제 1클럭과 상기 제 2클럭의 위상을 비교하고 그 비교결과에 대응되는 소정의 논리상태를 가지는 상기 제어신호를 생성하며,

상기 제어신호 생성부가 저주파 동작모드정보를 수신하는 경우 상기 제 1클럭 및 상기 제 2클럭에 관계없이 상기 제 1전송부가 활성화되는 것을 특징으로 하는 반도체 메모리 장치.

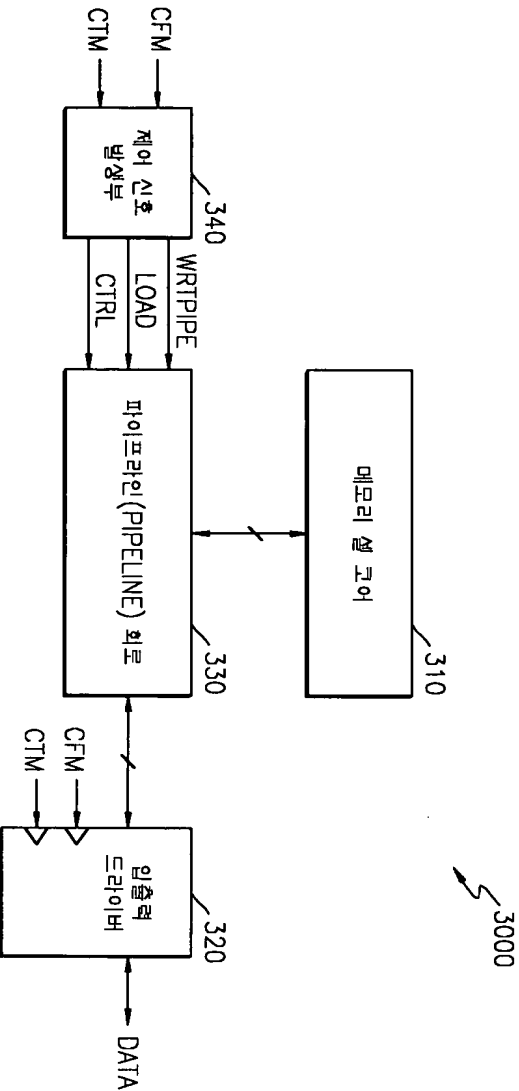
【도면】

【도 1】





【도 3】



【도 4】

